

Computeranwendung in der Chemie Informatik für Chemiker(innen)

2. Hardware

Grundlagen

Jede Computeranwendung besteht aus:

- Eingabe **E**
- Verarbeitung **V**
- Ausgabe **A**

Trennung oftmals aufgeweicht:

Interaktive Programmausführung

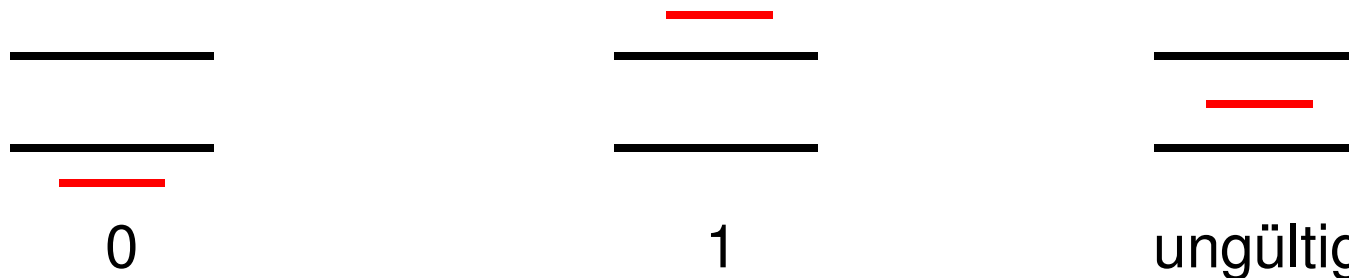
Grundlagen

Computer: Rechenmaschine auf binärer Basis

⇒ „digital computer“

Informationen werden im binären System (nur 0 oder 1) dargestellt.

Einfache Implementierung in Schaltkreisen über Spannungspegel/Schwellenwerte



Grundlagen

Operationen im binären System:

Bool'sche Algebra

Grundoperationen: & (und/and), | (oder/or), ! (nicht/not)

$$0 \& 0 = 0$$

$$0 | 0 = 0$$

$$!0 = 1$$

$$0 \& 1 = 0$$

$$0 | 1 = 1$$

$$!1 = 0$$

$$1 \& 0 = 0$$

$$1 | 0 = 1$$

$$1 \& 1 = 1$$

$$1 | 1 = 1$$

Darstellung von Informationen

- Kleinste Informationseinheit: Bit (0 oder 1)
- Bit: Kunstwort aus Binary digIT („Binäre Ziffer“)
- 8 Bit = 1 Byte ($2^8 = 256$ verschiedene Werte)
- Word: normalerweise 16 Bit (65.536 Werte)
- Double word (dword): 32 Bit (4.294.967.296 Werte)

Darstellung von Zeichen

	000	001	010	011	100	101	110	111
0000	NUL	DLE		0	@	P	'	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(8	H	X	h	x
1001	HT	EM)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[k	{
1100	FF	FS	,	<	L	\	l	
1101	CR	GS	-	=	M]	m	}
1110	S0	RS	.	>	N	~	n	^
1111	S1	US	/	?	O	_	o	DEL

ASCII: American Standard Code for Information Interchange

Darstellung von ganzen Zahlen

Ganze Zahlen (integer numbers)

- Darstellung als Binärzahl
- z. B. 32 bit Integer: 0 – 4.294.967.295

- Vorzeichenbehaftet (signed)
- höchstwertiges Bit als Vorzeichen (genau: Zweierkomplement)
- z. B. 32 bit: -2.147.483.648 – 2.147.483.647

Darstellung von ganzen Zahlen

Beispiel: 5086 als 16 bit Integer:

$$5086_{10} = 0001001111011110_2$$

-5086 als 16 bit Integer:

$$-5086_{10} = 1110110000100010_2$$

Zweierkomplement: Alle Bits invertieren und 1 addieren

Überlauf gefährlich, da aus großen positiven Zahlen große negative Zahlen werden

$$32767_{10} = 0111111111111111$$

$$-32768_{10} = 1000000000000000$$

Darstellung von reellen Zahlen

- Fließkommazahlen (floating point numbers)
- Getrennte Speicherung von Mantisse (kleine Festkommazahl) und Exponent
- Beispiel: „double precision“ 64 bit
 - 1 bit Vorzeichen
 - 11 bit Exponent
 - 52 bit Mantisse
 - Darstellungsbereich: $2,23 \cdot 10^{-308}$ - $1,79 \cdot 10^{308}$
- Begrenzte Genauigkeit (64 bit: ca. 16 Stellen)

Maschinenbefehle

- Maschinenbefehle direkt von CPU ausführbar
- Jeder CPU-Type hat eigene Befehle (ISA: Instruction set architecture, z. B. IA32)
- Maschinencode nicht portabel
- Register: Speicherzellen innerhalb der CPU für Speicherung von Daten
 - Begrenzte Anzahl
 - sehr schnell
 - Maschinenbefehle beziehen sich normalerweise auf Register

Maschinenbefehle

Beispiele für Maschinenbefehle:

- load/store (Transfer von Daten zwischen Hauptspeicher und Registern)
- add/sub/mul/div (Grundrechenarten)
- jump (Sprung an eine andere Adresse)
- compare (Vergleich von Werten)
- branch (bedingter Sprung, abhängig von vorherigem Befehl, z.B. für Verzweigung, Schleifen, etc.)

Hauptspeicher

- flüchtiger Speicher (Daten bleiben nur bei Stromversorgung gespeichert)
- RAM: random access memory
- Problem: Fortschritt bei RAM-Geschwindigkeit kleiner als bei CPU-Geschwindigkeit
- Lösung: Cache (Zwischenspeicher), schneller als RAM, heute normalerweise in CPU integriert
- Verschiedene Cache-Stufen (1st level, 2nd level, etc.)

Pipeline Konzept

Verarbeitung von Maschinenbefehl in einem CPU Takt nicht möglich.

- Pipeline: Zerlegung in kleinere Schritte (z.B. fetch, decode, execute, return), „Fließband“
- Mit jedem Takt wird ein Schritt ausgeführt

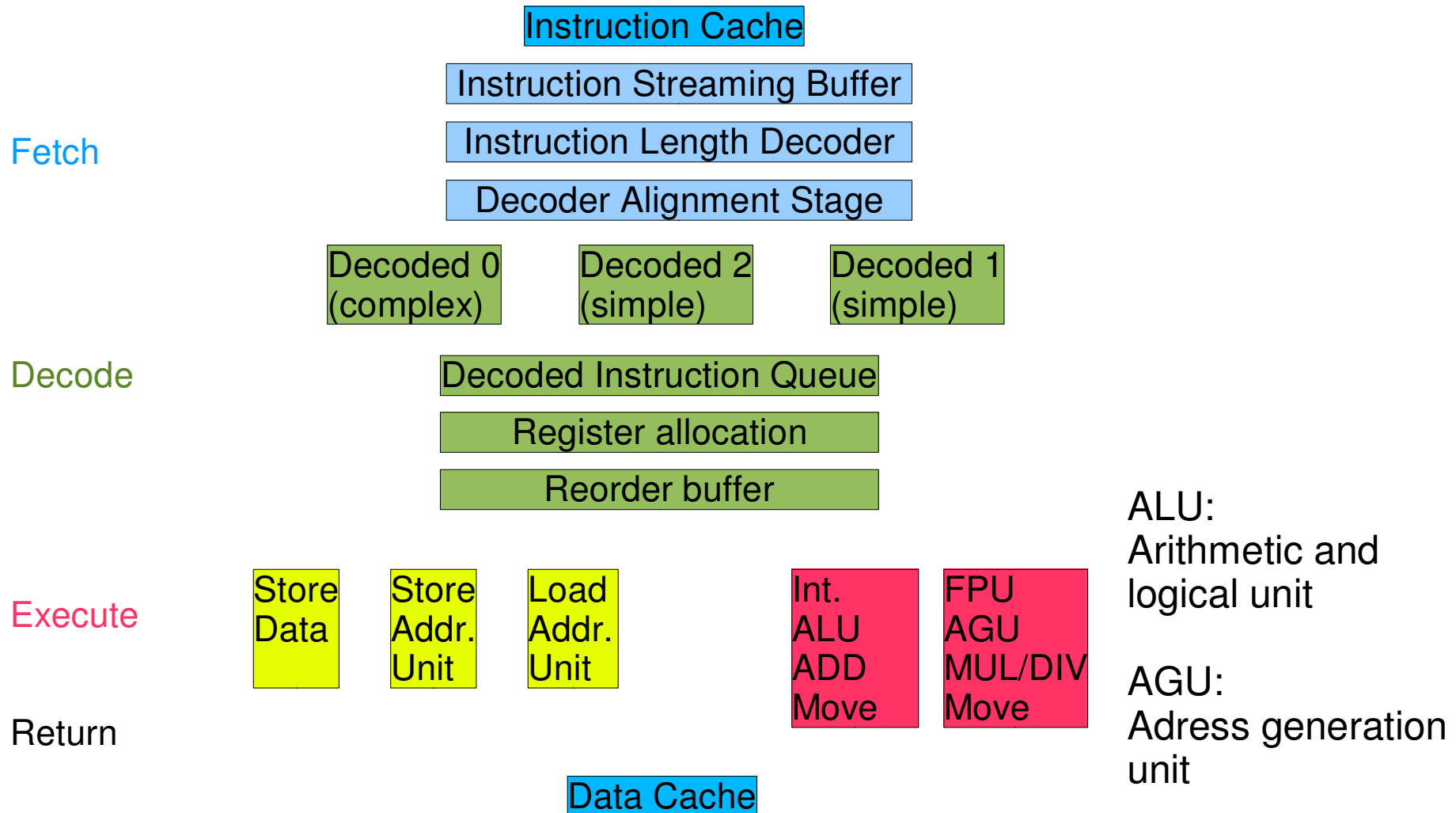
Problem: Unvorhergesehene Verzweigungen führen zum Verwerfen der Pipeline

Lösung: Sprungvorhersage (branch prediction)

AMD Athlon: 11 Stufen Pipeline

Intel P4: 20 Stufen Pipeline

Schematischer Aufbau von PIII



Speicherhierarchie

Größe	Typ	Latenz (Verzögerung)
8-128 *	Register	0 ns
32-128 Bit		
16-64 KByte	L1 Cache	1-3 ns (2-3 Takte)
256-1024 KB	L2 Cache	5-10 ns (ca. 10 Takte)
100 MB – 4 GBRAM		20-40 ns (> 20 Takte)
20 – 200 GB	virt. Speicher (Festplatte)	> 1 ms

Parallel Architekturen

- Cluster
 - Unabhängige Computer
 - über Netzwerk verbunden
- „Shared memory“
 - Mehrere CPU, die auf gemeinsamen Speicher zugreifen
- Vektor CPU
 - Eine Instruktion verarbeitet Daten in mehreren Registern (SIMD: single instruction, multiple data)
 - Implementierung in PC: MMX, SSE